

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-224373

(43)Date of publication of application : 12.08.1994

---

(51)Int.Cl. H01L 27/04  
H01L 21/3205  
// H01L 21/302

---

(21)Application number : 05-011622 (71)Applicant : TOSHIBA CORP  
(22)Date of filing : 27.01.1993 (72)Inventor : HATANAKA KAZUHISA

---

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

PURPOSE: To make it possible to protect an insulating film in an integrated circuit while a semiconductor device is being processed.

CONSTITUTION: A semiconductor device is provided with a semiconductor substrate 1an integrated circuit section formed within the substrate 1and conductive layers 6 and 9 which constitute internal lines of the integrated circuit section. This semiconductor device is chiefly characterized in that a line layer 3-1 is provided which constantly provides the conductive layers 6 and 9 with a ground potential at least during a wafer processing step. With the above constructionthe conductive layers 6 and 9constituting the internal line of the integrated circuitare constantly grounded at least during the wafer processing step. Hencewhen charged particles come into collision with these conductive layers 6 and 9the conductive layers 6 and 9 will not be charged up. Thereforeit is possible to protect a thin insulating filmsuch as a gate insulating film of a MOS FET which constitutes an integrated circuitwhile the semiconductor device is being processed.

---

## CLAIMS

---

[Claim(s)]

[Claim 1]A semiconductor device comprising:

A semiconductor substrate.

The integrated circuit unit formed in said substrate.

A conductive layer which constitutes internal wiring of said integrated circuit unit.

A wiring layer which always leads said conductive layer to earth potentials among wafer down stream processing at least.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to a suitable semiconductor device to use the processing method using plasma with respect to a semiconductor device.

[0002]

[Description of the Prior Art] There is a method which connects a protective diode to the wiring layer which connects an input-and-output pad and the integrated circuit unit as a method which protects the insulator layer in which the gate dielectric film etc. of MOSFET which constitutes the integrated circuit are thinner than excessive voltage conventionally.

[0003] When positive overvoltage is supplied for example to an input-and-output pad a protective diode is broken down sends current through low potential power source VSS and absorbs positive overvoltage. When negative overvoltage is supplied it \*\*\*\*\* current is sent through the high potential power supply VDD and negative overvoltage is absorbed.

[0004] Only when power supply potential is being fixed to VDD and VSS such a protective diode works effectively to excessive voltage positive and negative [ both ] for example only substrate potential is fixed like [ under device manufacture ] and when an input-and-output pad and internal wiring layers are floating it does not function. For this reason if a charged particle touches the wiring layer of floating by the method using charged particles such as a plasma process inside when processing the semiconductor device a wiring layer will start the charge up and will destroy thin insulator layers such as gate dielectric film etc. of MOSFET which constitutes the integrated circuit. Since bad insulation such as a short circuit will occur if the insulator layer of integrated circuit circles is destroyed a semiconductor device serves as inferior goods.

[0005]

[Problem(s) to be Solved by the Invention] As mentioned above in the conventional semiconductor devices since an input-and-output pad and internal wiring layers were floating during the manufacture (inside of wafer down stream processing) there was a problem of starting the charge up if it collides with the conductive layer that a charged particle constitutes these. If the conductive layer which constitutes these starts the charge up thin insulator layers such as gate dielectric film etc. of MOSFET

which constitutes the integrated circuit will be destroyed.

[0006] In view of the above points it succeeded in this invention and when that purpose is processing the semiconductor device (inside of wafer down stream processing) there is in providing the semiconductor device which can protect the insulator layer in [ inner ] an integrated circuit.

[0007]

[Means for Solving the Problem] A semiconductor device concerning this invention possesses a semiconductor substrate the integrated circuit unit formed in this substrate and a conductive layer which constitutes internal wiring of this integrated circuit unit and is characterized by providing a wiring layer which always leads this conductive layer to earth potentials among wafer down stream processing at least.

[0008]

[Function] According to the above semiconductor device since the conductive layer which constitutes the internal wiring of the integrated circuit unit is always led to earth potentials among wafer down stream processing at least even if a charged particle collides with this conductive layer the charge up of the conductive layer is not carried out. therefore -- thin insulator layers such as gate dielectric film etc. of MOSFET which constitutes the integrated circuit can be protected inside when processing the semiconductor device -- the above -- destruction of a thin insulator layer can be prevented.

[0009]

[Example] Hereafter with reference to drawings an example explains this invention.

Drawing 1 is a figure showing the semiconductor device concerning one example of this invention and the top view in which the (a) figure shows the principal part and the (b) figure are sectional views which meet the 1a-1a line in the (a) figure.

[0010] As shown in drawing 1 the field oxide 2 is formed in the surface area of the silicon substrate 1 of P type (or N type) and isolation of active device groups such as MOSFET which builds an integrated circuit is performed in the integrated circuit unit which is not illustrated. In the surface area of the substrate 1 the diffusion zone 3 of the same conductivity type as the substrate 1 is formed. In this example since the substrate 1 is used as P type it is hereafter considered as the high concentration P<sup>+</sup> type diffusion layer 3. On the surface of the substrate 1 the 1st interlayer insulation film 4 that comprises insulating materials such as silicon oxide for example is formed. The aperture 5 which is well-informed about the diffusion zone 3 is formed in the 1st interlayer insulation film 4. On the 1st interlayer insulation film 4 the 1st conductive layer 6 that comprises electric conduction things such as an aluminum alloy or silicide is formed.

The 1st conductive layer 6 is connected to the diffusion zone 3 via the aperture 5. The 1st conductive layer 6 within this aperture 5 functions among wafer down stream processing as the wiring layer 3-1 always led to earth potentials. The 1st conductive layer 6 is mutually made into same electric potential while being connected with the

diffusion zone 3. In the integrated circuit unit which is not illustrated the 1st conductive layer 6 constitutes the gate electrode of MOSFET the internal wiring layers of an integrated circuit etc. On the 1st interlayer insulation film 4 the 2nd interlayer insulation film 7 that comprises insulating materials such as a wrap for example silicon oxide etc. in the 1st conductive layer 6 is formed. The aperture 8-1 which leads to the 1st conductive layer 6 and 8-2 are formed in the 2nd interlayer insulation film 7. On the 2nd interlayer insulation film 7 the 2nd conductive layer 9 that comprises electric conduction things such as an aluminum alloy is formed. The 2nd conductive layer 9 is connected to the 1st conductive layer 6 via the aperture 8-1 and 8-2.

The 2nd conductive layer 9 is mutually made into same electric potential while being connected with the 1st conductive layer 6. The 2nd conductive layer 9 constitutes the input-and-output pad section 10 and the fuse part 11 from this example. The input-and-output pad section 10 is connected to the 1st conductive layer 6 via the aperture 8-1 and the fuse part 11 is connected to the 2nd conductive layer 6 via the aperture 8-2. The input-and-output pad section 10 and the fuse part 11 are mutually connected also by being formed in one by the 2nd conductive layer 9 while being mutually connected by the 1st conductive layer 6. On the 2nd interlayer insulation film 7 the protective film 12 which comprises insulating materials such as a wrap for example silicon oxide etc. in the 2nd conductive layer 9 is formed. The aperture 13-1 which leads to the input-and-output pad section 10 and the aperture 13-2 which leads to the fuse part 11 are formed in the protective film 12.

[0011] The substrate 1 is grounded during that manufacture as it is a semiconductor device of the above-mentioned composition and the 1st conductive layer 6 and the 2nd conductive layer 9 are connected to this substrate 1. That is since the 1st and 2nd conductive layer 6 and 9 is always led to earth potentials among wafer down stream processing even if a plasma attack etc. are during manufacture the charge up of the 1st and 2nd conductive layer 6 and 9 is not carried out respectively. That is even if which electric charge of positive/negative collides with the above-mentioned conductive layers all the charged potential caused by these electric charges flows into the substrate 1 of earth potentials. Therefore even if excessive voltage stops adding to the thin insulator layer represented by the gate oxide of MOSFET etc. and it is under manufacture an always thin insulator layer can be protected. Drawing 2 (a) is a top view showing the device after a blown fuse and drawing 2 (b) is a sectional view which meets the 2a-2a line in the (a) figure.

[0012] A series of wafer down stream processing is finished if a product progresses to the stage of doing a die sort test the fuse part 11 will be cut and it changes into the state where there is no trouble in operation of the integrated circuit unit. A high current is sent through the pad section 11 and cutting process of the fuse part 11 includes the method of making the fuse part 11 start electromigration spontaneously and cutting it to it. In order to be able to perform this cutting

smoothly in this example thickness of the fuse part 11 is made thinner than that of internal wiring layers. It can cut also by irradiating the fuse part 11 with laser beams. If predetermined potential and signal are supplied to the pad section 10 after cutting the fuse part 11 the integrated circuit unit will operate normally. At this time since predetermined potential is supplied to the protective diode connected between the pad section 10 and the integrated circuit unit floating of the pad section 10 is canceled and a protective diode is activated. Therefore thin insulator layers such as gate oxide of MOSFET come to be protected by the protective diode after fuse part 11 cutting. As mentioned above the device concerning this example can be consistent until after manufacture out of manufacture and can protect a thin insulator layer. Next the manufacturing method of the semiconductor device concerning the one above-mentioned example is explained. Drawing 3 is a figure for explaining the manufacturing method of the semiconductor device concerning the one above-mentioned example and (a) – a (i) figure are sectional views showing main processes in order respectively.

[0013] First as shown in drawing 3 (a) the field oxide 2 is formed using well-known LOCOS process in the surface area of the P type silicon substrate 1.

Subsequently the high concentration P<sup>+</sup> type diffusion layer 3 is formed in the surface area of the substrate 1 using the ion implantation for the source / drain formation of MOSFET. Subsequently on the surface whole region of the substrate 1 use a CVD method insulating materials such as diacid-ized silicon are made to deposit and the 1st interlayer insulation film 4 is formed.

[0014] Next as shown in the figure (b) the aperture 5 which is well-informed about the diffusion zone 3 is formed in the 1st interlayer insulation film. Subsequently or it uses a CVD method and deposits electric conduction things such as silicide on the surface whole region of the substrate 1 the weld slag of the electric conduction things such as an ARUMINIMU alloy is carried out using a sputtering technique and the 1st conductive layer 6 is formed. At this time the 1st conductive layer 6 is formed also in the aperture 5 and is connected to the substrate 1 via the aperture 5.

[0015] Next as shown in the figure (c) the portion as which the 1st conductive layer 6 was chosen using the photo-etching method is etched and a desired internal-wiring-layers pattern is formed. Although the RIE method which used ion is used for this etching since the 1st conductive layer 6 is connected to the substrate 1 made into earth potential even if ion collides with the 1st conductive layer 6 all electric charges that are charged by this will flow into the substrate 1. Next as shown in the figure (d) on the surface whole region of the substrate 1 use a CVD method insulating materials such as diacid-ized silicon are made to deposit and the 2nd interlayer insulation film 7 is formed.

[0016] Next as shown in the figure (e) the portion as which the 2nd interlayer insulation film 7 was chosen using the photo-etching method is etched and the aperture 8-1 which leads to the 1st conductive layer 6 and 8-2 are formed. Although the RIE

method which used ion is used for this etching as well as the process shown in the figure (c) since the 1st conductive layer 6 is grounded even if ion collides with the 1st conductive layer 6 the charge up of the 1st conductive layer 6 is not carried out.

Next as shown in the figure (f) on the surface whole region of the substrate 1 a sputtering technique is used the weld slag of the electric conduction things such as an ARUMINIMU alloy is carried out and the 2nd conductive layer 9 is formed.

[0017] Next as shown in the figure (g) the portion as which the 2nd conductive layer 9 was chosen using the photo-etching method is etched and the pad section 10 and fuse part 11 are formed. Although the RIE method is used also for this etching since the 2nd conductive layer 9 is grounded via the 1st conductive layer 6 even if ion collides with the 2nd conductive layer 9 the charge up of the 1st conductive layer 6 and the 2nd conductive layer 9 is not carried out respectively.

Next as shown in the figure (h) on the surface whole region of the substrate 1 use a CVD method insulating materials such as diacid-ized silicon are made to deposit and the protective film 12 is formed.

[0018] Next as shown in the figure (i) the portion as which the protective film 12 was chosen using the photo-etching method is etched and the aperture 13-1 which leads to the pad section 10 or the fuse part 11 and 13-2 are formed. As well as the process shown in the figure (g) even if it uses the RIE method for this etching the charge up of the 1st conductive layer 6 and the 2nd conductive layer 9 is not carried out respectively. Drawing 4 thru/or drawing 6 are the figures for explaining this effect of the invention respectively.

[0019] First drawing 4 is a figure measuring and showing the occurrence frequency of gate oxide destruction by the former and this invention. Drawing 4 shows the tendency of occurrence frequency occurrence frequency decreases compared with the former in this invention and he can understand that the effect of gate oxide protection is acquired. Drawing 5 is a figure showing the relation between gate voltage and drain current and the relation from which the (a) figure was conventionally obtained by a device and the (b) figure are the relations obtained by this invention device. A solid line shows the relation in drawing 5 and before a plasma damage and the dashed line shows the relation after a plasma damage.

[0020] As shown in drawing 5 (a) conventionally with the device the tendency for gate voltage required for drain current to be saturated to become high did not result in \*\*\*\*\* after the plasma damage and gate oxide did not result in destruction but it became clear that the characteristic of MOSFET deteriorated also in \*\*.

[0021] However according to this invention as shown in drawing 5 (b) the big change in the relation between gate voltage and drain current is not accepted at a plasma damage front and the back but there is nothing only at destruction of gate oxide and also in the effect that the characteristic of MOSFET does not deteriorate a certain thing became clear. Drawing 6 is a figure showing the result of a TDDDB examination (stress test of gate oxide).

[0022]As shown in drawing 6conventionallywith a devicegate oxide does not result in destruction but \*\* also shows the tendency for the life of gate oxide to deteriorate. That isconventionallywith a devicegate oxide does not result in destructionbut since high tension is impressed to gate oxidethe trap of the career can be carried out into a filmor interface state density can occurand \*\* can also be considered that membrane characteristics deteriorate.

[0023]In the device concerning this inventionthe tendency for the life of gate oxide to deteriorate rather than a device conventionally is eased. This result has supported the characteristic degradation of MOSFET shown in drawing 5.

[0024]Thereforein the device explained in the above-mentioned examplesince the damage at the time of there being nothingfor exampleperforming micro processing using charged particlessuch as plasmaonly by the prevention from destructive of the thin insulator layer represented by gate oxide etc. can be reducedthe semiconductor device which has reliable gate oxide can also be provided.

[0025]

[Effect of the Invention]As explained aboveaccording to this inventionwhen processing the semiconductor devicethe semiconductor device which can protect the insulator layer in [ inner ] an integrated circuit can be provided.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1]The (b) figures are a top view in which drawing 1 is a figure showing the semiconductor device concerning one example of this inventionand the (a) figure shows the principal partand a sectional view which meets the 1a-1a line in the (a) figure.

[Drawing 2]The (b) figures are a top view in which drawing 2 is a figure showing the blown fuse back of the semiconductor device concerning one example of this inventionand the (a) figure shows the principal partand a sectional view which meets the 2a-2a line in the (a) figure.

[Drawing 3]It is a sectional view showing in order the processes in which drawing 3 is a figure showing the manufacturing method of the semiconductor device concerning one example of this inventionand (a) - (i) are main respectively.

[Drawing 4]Drawing 4 is a figure measuring and showing the destructive frequency of the gate oxide of the semiconductor device concerning this inventionand the conventional semiconductor device.

[Drawing 5]Drawing 5 is a figure in which being a figure showing the relation between drain current and gate voltageand showing the case of the semiconductor device concerning this invention in the figure showing the case of the semiconductor device of the former [ figure / (a) ]and the (b) figure.

[Drawing 6] Drawing 6 is a figure showing the relation between an accumulation defective fraction and the stress applying time to gate oxide.

[Description of Notations]

1 -- A P type silicon substrate  
2 -- Field oxide  
3 -- The high concentration diffusion layer of the same conductivity type as a substrate  
4 [ -- 2nd interlayer insulation film  
and 8-18-2 / -- An aperture  
9 / -- The 2nd conductive layer  
10 / -- An input-and-output pad section  
11 / -- A fuse part  
12 / -- A protective film  
13-113-2 / -- Aperture. ] -- The 1st interlayer insulation film  
5 -- An aperture  
6 -- The 1st conductive layer  
7

---



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-224373

(43)公開日 平成6年(1994)8月12日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 27/04

21/3205

// H 0 1 L 21/302

識別記号

庁内整理番号

H 8427-4M

D 8427-4M

J 9277-4M

7514-4M

F I

技術表示箇所

H 0 1 L 21/ 88

S

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21)出願番号

特願平5-11622

(22)出願日

平成5年(1993)1月27日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 畑中 和久

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

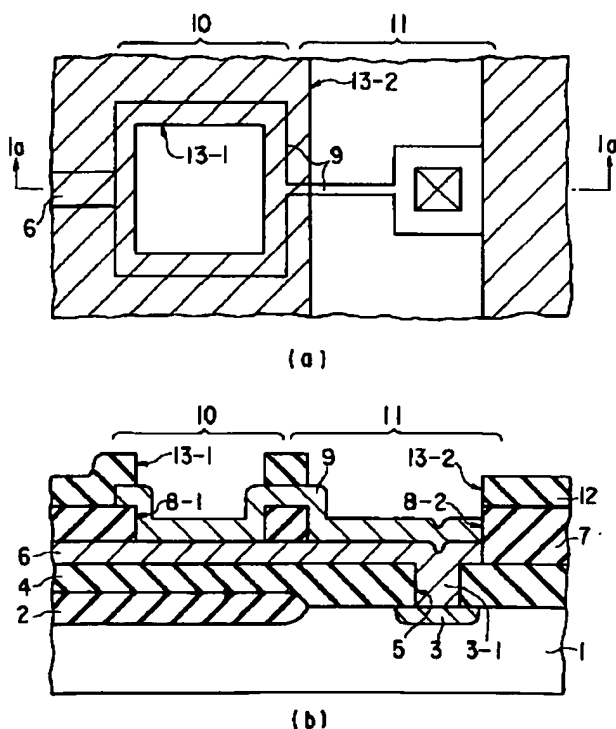
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 この発明は半導体装置の加工を行っている際中、集積回路内の絶縁膜を保護できる半導体装置を提供しようとするものである。

【構成】 半導体基板1と、この基板1内に形成された集積回路部と、この集積回路部の内部配線を構成する導電層6、9とを具備し、これら導電層6、9を少なくともウェーハ処理工程中、常に接地電位に導く配線層3-1を設けたことを主要な特徴としている。上記構成であると、集積回路部の内部配線を構成する導電層6、9が少なくともウェーハ処理工程中、常に接地電位に導かれるから、これらの導電層6、9に荷電粒子が衝突しても、導電層6、9はチャージアップしない。従って、集積回路を構成しているMOSFETのゲート絶縁膜等の薄い絶縁膜を半導体装置の加工を行っている際中保護できる。



## 【特許請求の範囲】

【請求項１】半導体基板と、  
前記基板内に形成された集積回路部と、  
前記集積回路部の内部配線を構成する導電層と、  
前記導電層を少なくともウェーハ処理工程中、常に接地電位に導く配線層とを具備することを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【０００１】

【産業上の利用分野】この発明は、半導体装置に係わり、特にプラズマを用いた加工方法を使用するのに好適な半導体装置に関する。

## 【０００２】

【従来の技術】従来、過大な電圧より、集積回路を構成しているＭＯＳＦＥＴのゲート絶縁膜等の薄い絶縁膜を保護する方式として、入／出力パッドと集積回路部とを接続する配線層に保護ダイオードを接続する方式がある。

【０００３】保護ダイオードは、例えば入／出力パッドに正の過大電圧が供給された時、ブレーク・ダウンして低電位電源ＶＳＳに電流を流し、正の過大電圧を吸収する。また、負の過大電圧が供給された時、ブレーク・ダウンして高電位電源ＶＤＤに電流を流し、負の過大電圧を吸収する。

【０００４】このような保護ダイオードは、電源電位がＶＤＤおよびＶＳＳに固定されている場合にのみ、正、負双方の過大な電圧に対して有効に働くのであって、例えば装置製造中のように基板電位だけが固定され、入／出力パッドや内部配線層がフローティング状態となっている場合には機能しない。このため、プラズマ法等の荷電粒子を用いた方法により、半導体装置の加工を行っている際に荷電粒子がフローティング状態の配線層に触れると配線層がチャージ・アップを起こし、集積回路を構成しているＭＯＳＦＥＴのゲート絶縁膜等、薄い絶縁膜を破壊する。集積回路部内の絶縁膜が破壊されると、短絡等の絶縁不良が発生するため、半導体装置は不良品となる。

## 【０００５】

【発明が解決しようとする課題】以上のように、従来の半導体装置では、その製造中（ウェーハ処理工程中）に入／出力パッドや内部配線層がフローティング状態となっているために、荷電粒子がこれらを構成するような導電層に衝突するとチャージ・アップを起こす、という問題があった。これらを構成する導電層がチャージ・アップを起こすと、集積回路を構成しているＭＯＳＦＥＴのゲート絶縁膜等、薄い絶縁膜が破壊されたりする。

【０００６】この発明は上記のような点に鑑みて為されたもので、その目的は、半導体装置の加工（ウェーハ処理工程中）を行っている際中、集積回路内の絶縁膜を保護する半導体装置を提供することにある。

## 【０００７】

【課題を解決するための手段】この発明に係わる半導体装置は、半導体基板と、この基板内に形成された集積回路部と、この集積回路部の内部配線を構成する導電層とを具備し、この導電層を少なくともウェーハ処理工程中、常に接地電位に導く配線層を設けたことを特徴としている。

## 【０００８】

【作用】上記のような半導体装置によれば、集積回路部の内部配線を構成する導電層が少なくともウェーハ処理工程中、常に接地電位に導かれるから、この導電層に荷電粒子が衝突しても、導電層はチャージアップしない。従って、集積回路を構成しているＭＯＳＦＥＴのゲート絶縁膜等の薄い絶縁膜を、半導体装置の加工を行っている際中保護でき、上記薄い絶縁膜の破壊を防止できる。

## 【０００９】

【実施例】以下、図面を参照してこの発明を実施例により説明する。図１はこの発明の一実施例に係わる半導体装置を示す図で、（ａ）図は主要部を示す平面図、

（ｂ）図は（ａ）図中の１ａ－１ａ線に沿う断面図である。

【００１０】図１に示すように、Ｐ型（もしくはＮ型）のシリコン基板１の表面領域内にはフィールド酸化膜２が形成されており、図示せぬ集積回路部において、集積回路を構築するＭＯＳＦＥＴ等の能動素子群の素子分離が行われている。また、基板１の表面領域内には、基板１と同じ導電型の拡散層３が形成されている。この実施例では基板１をＰ型としているので以下、高濃度Ｐ<sup>+</sup>型拡散層３とする。基板１の表面上には、例えばシリコン酸化膜等の絶縁物から成る第１層間絶縁膜４が形成されている。第１層間絶縁膜４には、拡散層３に通じる開孔部５が形成されている。第１層間絶縁膜４上には、アルミニウム合金、あるいはシリサイド等の導電物から成る第１導電層６が形成されており、第１導電層６は開孔部５を介して拡散層３に接続されている。この開孔部５内での第１導電層６は、ウェーハ処理工程中、常に接地電位に導く配線層３-１として機能する。第１導電層６は拡散層３と接続されている間、互いに同電位とされる。第１導電層６は図示せぬ集積回路部において、ＭＯＳＦＥＴのゲート電極や集積回路の内部配線層等を構成する。第１層間絶縁膜４上には第１導電層６を覆う、例えばシリコン酸化膜等の絶縁物から成る第２層間絶縁膜７が形成されている。第２層間絶縁膜７には、第１導電層６に通じる開孔部８-１、８-２が形成されている。第２層間絶縁膜７上には、アルミニウム合金等の導電物から成る第２導電層９が形成されており、第２導電層９は開孔部８-１、８-２を介して第１導電層６に接続されている。第２導電層９は第１導電層６と接続されている間、互いに同電位とされる。この実施例では、第２導電層９は入／出力パッド部１０、ゲートブレイクアップ部１１を構成する。１

／出力パッド部 10 は開孔部 8-1 を介して第 1 導電層 6 に接続され、ヒューズ部 11 は開孔部 8-2 を介して第 2 導電層 6 に接続される。入／出力パッド部 10 とヒューズ部 11 とは、第 1 導電層 6 によって互いに接続されるとともに、第 2 導電層 9 で一体的に形成されることによっても互いに接続されている。第 2 層間絶縁膜 7 上には第 2 導電層 9 を覆う、例えばシリコン酸化膜等の絶縁物から成る保護膜 12 が形成されている。保護膜 12 には、入／出力パッド部 10 に通じる開孔部 13-1、およびヒューズ部 11 に通じる開孔部 13-2 が形成されている。

【0011】上記構成の半導体装置であると、その製造中、基板 1 が接地され、かつこの基板 1 に第 1 導電層 6 および第 2 導電層 9 が接続される。即ち、第 1、第 2 導電層 6、9 がウェーハ処理工程中、常に接地電位に導かれるから、製造中にプラズマ・アタック等があっても、第 1、第 2 導電層 6、9 はそれぞれ、チャージ・アップすることがない。即ち、正負いずれの電荷が上記導電層らに衝突したとしても、これらの電荷によって引き起こされたチャージ分の電位は全て接地電位の基板 1 に流れる。従って、MOSFET のゲート酸化膜等に代表される薄い絶縁膜に過大な電圧が加わらなくなり、製造中であっても、常に薄い絶縁膜を保護することができる。図 2 (a) はヒューズ切断後の装置を示す平面図で、図 2 (b) は (a) 図中の 2 a-2 a 線に沿う断面図である。

【0012】一連のウェーハ処理工程を終えて、製造品がダイソート・テストを行う段階まで進んだらヒューズ部 11 を切断し、集積回路部の動作に支障の無い状態とする。ヒューズ部 11 の切断方法としては、パッド部 11 に大電流を流し、ヒューズ部 11 にエレクトロマイグレーションを自発的に起こさせて切断する方法がある。この切断をスムーズに行えるようにするために、この実施例では、ヒューズ部 11 の太さを内部配線層のそれよりも細くしている。また、レーザ光線をヒューズ部 11 に照射することによっても切断することができる。ヒューズ部 11 を切断した後、パッド部 10 に所定の電位や信号を供給すれば、集積回路部は正常に動作する。また、この時には、パッド部 10 と集積回路部との間に接続された保護ダイオードに所定の電位が供給されるためにパッド部 10 のフローティング状態が解除され、保護ダイオードが活性化される。従って、ヒューズ部 11 切断後は、保護ダイオードによって MOSFET のゲート酸化膜等の薄い絶縁膜が保護されるようになる。以上のように、この実施例に係る装置は、製造中から製造後まで一貫して、薄い絶縁膜を保護することができる。次に、上記一実施例に係る半導体装置の製造方法について説明する。図 3 は上記一実施例に係る半導体装置の製造方法を説明するための図で、(a) ～ (i) 図はそれぞれ、工程を順に示す断面図である。

【0013】まず、図 3 (a) に示すように、P 型シリコン基板 1 の表面領域内にフィールド酸化膜 2 を周知の LOCOS 法を用いて形成する。次いで、MOSFET のソース／ドレイン形成のためのイオン注入を利用して、基板 1 の表面領域内に高濃度 P<sup>+</sup> 型拡散層 3 を形成する。次いで、基板 1 の表面全域上に CVD 法を用いて二酸化シリコン等の絶縁物を堆積させ、第 1 層間絶縁膜 4 を形成する。

【0014】次に、同図 (b) に示すように、拡散層 3 に通じる開孔部 5 を第 1 層間絶縁膜に形成する。次いで、基板 1 の表面全域上に CVD 法を用いてシリサイド等の導電物を堆積する、あるいはスパッタ法を用いてアルミニウム合金等の導電物をスパッタする等して、第 1 導電層 6 を形成する。この時、第 1 導電層 6 は、開孔部 5 内にも形成され、開孔部 5 を介して基板 1 に接続される。

【0015】次に、同図 (c) に示すように、写真蝕刻法を用いて第 1 導電層 6 の選ばれた部分をエッチングし、所望の内部配線層パターンを形成する。このエッチングには、イオンを用いた RIE 法が用いられるが、第 1 導電層 6 が接地電位とされた基板 1 に接続されているため、第 1 導電層 6 にイオンが衝突したとしても、これによってチャージされるような電荷は全て基板 1 に流れてしまう。次に、同図 (d) に示すように、基板 1 の表面全域上に CVD 法を用いて二酸化シリコン等の絶縁物を堆積させ、第 2 層間絶縁膜 7 を形成する。

【0016】次に、同図 (e) に示すように、写真蝕刻法を用いて第 2 層間絶縁膜 7 の選ばれた部分をエッチングし、第 1 導電層 6 に通じる開孔部 8-1、8-2 を形成する。このエッチングには、イオンを用いた RIE 法が用いられるが、同図 (c) に示す工程と同様、第 1 導電層 6 が接地されているために、第 1 導電層 6 にイオンが衝突しても、第 1 導電層 6 はチャージ・アップしない。次に、同図 (f) に示すように、基板 1 の表面全域上にスパッタ法を用いてアルミニウム合金等の導電物をスパッタし、第 2 導電層 9 を形成する。

【0017】次に、同図 (g) に示すように、写真蝕刻法を用いて第 2 導電層 9 の選ばれた部分をエッチングし、パッド部 10 やヒューズ部 11 等を形成する。このエッチングにも RIE 法が用いられるが、第 2 導電層 9 が第 1 導電層 6 を介して接地されているために、第 2 導電層 9 にイオンが衝突しても、第 1 導電層 6 および第 2 導電層 9 はそれぞれチャージ・アップしない。次に、同図 (h) に示すように、基板 1 の表面全域上に CVD 法を用いて二酸化シリコン等の絶縁物を堆積させ、保護膜 12 を形成する。

【0018】次に、同図 (i) に示すように、写真蝕刻法を用いて保護膜 12 の選ばれた部分をエッチングし、パッド部 10 やヒューズ部 11 に通じる開孔部 13-1、13-2 を形成する。このエッチングに RIE 法を用いた

としても、同図（g）に示す工程と同様に、第1導電層6および第2導電層9はそれぞれチャージ・アップしない。図4乃至図6はそれぞれ、この発明の効果を説明するための図である。

【0019】まず、図4は、ゲート酸化膜破壊の発生頻度を従来と本発明とで比較して示す図である。図4は発生頻度の傾向を示しており、発生頻度が、本発明では従来に比べて減少し、ゲート酸化膜保護の効果が得られていることが理解できる。図5は、ゲート電圧とドレイン電流との関係を示す図で、（a）図は従来装置により得られた関係、（b）図は本発明装置により得られた関係である。図5中、プラズマ・ダメージ前の関係を実線により示し、プラズマ・ダメージ後の関係を破線により示している。

【0020】図5（a）に示すように、従来装置では、プラズマ・ダメージ後、ドレイン電流が飽和するのに必要なゲート電圧が高くなる傾向が認められ、ゲート酸化膜が破壊に至らずとも、MOSFETの特性が劣化することが判明した。

【0021】しかし、この発明によれば、図5（b）に示すように、プラズマ・ダメージ前と後において、ゲート電圧とドレイン電流との関係に大きな変化は認められず、ゲート酸化膜の破壊ばかりで無く、MOSFETの特性が劣化しないという効果もあることが判明した。図6はTDDB試験（ゲート酸化膜のストレス試験）の結果を示す図である。

【0022】図6に示すように、従来装置ではゲート酸化膜が破壊に至らずとも、ゲート酸化膜の寿命が劣化する傾向を示している。即ち、従来装置では、ゲート酸化膜が破壊に至らずとも、高電圧がゲート酸化膜に印加されるため、膜中にキャリアがトラップされたり、界面準位が発生したりして、膜特性が劣化するものと考えることが出来る。

【0023】この発明に係る装置では、従来装置よりもゲート酸化膜の寿命の劣化する傾向が緩和されている。この結果は図5に示したMOSFETの特性劣化を裏付けている。

【0024】従って、上記実施例にて説明した装置では、ゲート酸化膜等に代表される薄い絶縁膜の破壊防止だけで無く、例えばプラズマ等の荷電粒子を用いた微細加工を行う際のダメージを低減できるので、信頼性の高いゲート酸化膜を有する半導体装置をも提供することができる。

【0025】

【発明の効果】以上説明したように、この発明によれば、半導体装置の加工を行っている際中、集積回路内の絶縁膜を保護できる半導体装置を提供できる。

【図面の簡単な説明】

【図1】図1はこの発明の一実施例に係わる半導体装置を示す図で、（a）図は主要部を示す平面図、（b）図は（a）図中の1a-1a線に沿う断面図。

【図2】図2はこの発明の一実施例に係わる半導体装置のヒューズ切断後を示す図で、（a）図は主要部を示す平面図、（b）図は（a）図中の2a-2a線に沿う断面図。

【図3】図3はこの発明の一実施例に係わる半導体装置の製造方法を示す図で、（a）～（i）はそれぞれ主要な工程を順に示す断面図。

【図4】図4はこの発明に係わる半導体装置と従来の半導体装置とのゲート酸化膜の破壊頻度を比較して示す図。

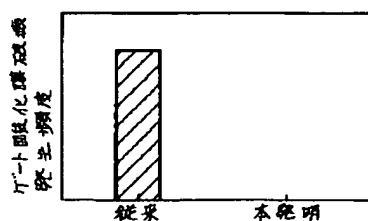
【図5】図5はドレイン電流とゲート電圧との関係を示す図で、（a）図は従来の半導体装置の場合を示す図、（b）図はこの発明に係わる半導体装置の場合を示す図。

【図6】図6は累積不良率とゲート酸化膜へのストレス印加時間との関係を示す図。

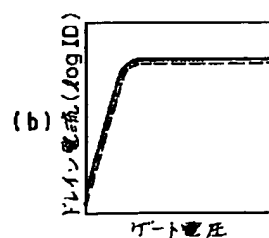
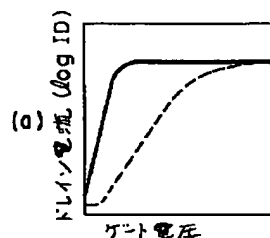
【符号の説明】

1…P型シリコン基板、2…フィールド酸化膜、3…基板と同一導電型の高濃度拡散層、4…第1層間絶縁膜、5…開孔部、6…第1導電層、7…第2層間絶縁膜、8-1、8-2…開孔部、9…第2導電層、10…入／出力パッド部、11…ヒューズ部、12…保護膜、13-1、13-2…開孔部。

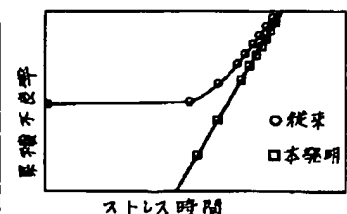
【図4】



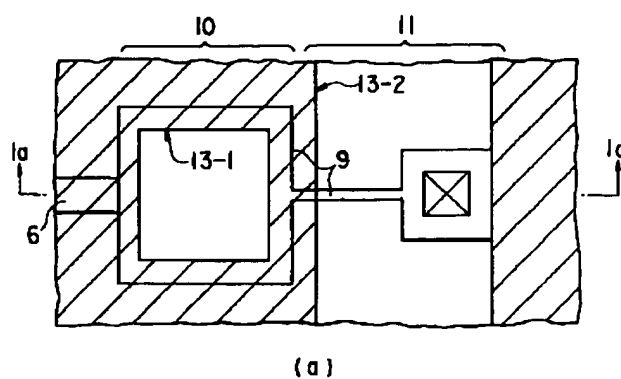
【図5】



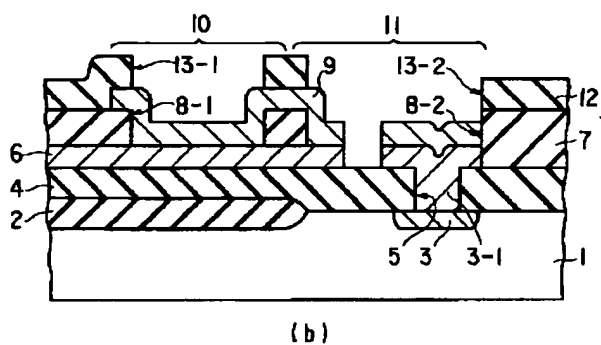
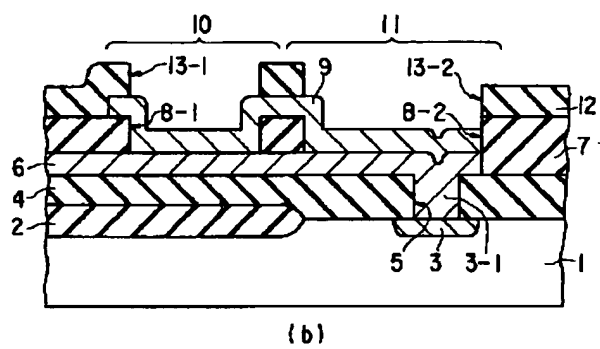
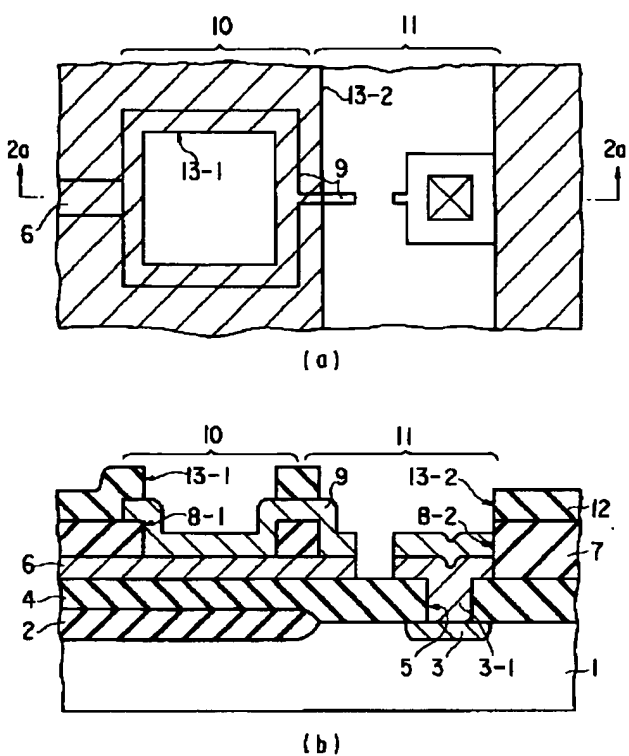
【図6】



【图1】



【图2】



【图3】

